

(3)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097770

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H03H 17/02

(21)Application number : 04-269228

(71)Applicant : SONY CORP

(22)Date of filing : 11.09.1992

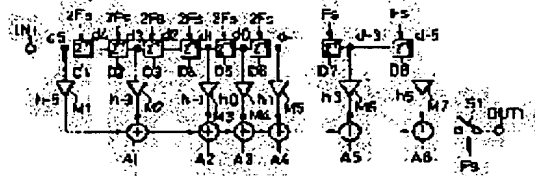
(72)Inventor : UEKI MASAOKI

(54) DOWN-SAMPLING DIGITAL FILTER

(57)Abstract:

PURPOSE: To simplify the constitution by omitting a product sum circuit of the part in which a coefficient becomes '0' and a delay circuit and curtailing a circuit scale by setting a filter characteristic as a Nyquist type.

CONSTITUTION: By setting a filter characteristic as a Nyquist type, a response of a filter executes '0' intersection at a sampling frequency interval. Accordingly, in the case of such a filter, a coefficient corresponding to coefficients $h-4$, $h-2$, $h2$ and $h4$ becomes '0', and in the part in which the coefficient is '0', a product sum operation becomes unnecessary. That is, the filter coefficient to tap outputs $d4$, $d2$ between delay circuits $D1$ and $D2$, and between $D3$ and $D4$ becomes '0', therefore, its product sum circuit is curtailed. Also, in the part for outputting tap outputs $d-4$, $d-2$, as well, the filter coefficient becomes '0', therefore, its product sum circuit can be curtailed. Moreover, since the tap output of $d-4$ and $d-2$ is unnecessary, a two-stage cascade of the delay circuit operated by a frequency $2F_s$ can be replaced with delay circuits $D7$, $D8$ of one stage operated by a frequency F_s , and the circuit scale can be curtailed remarkably.



LEGAL STATUS

[Date of request for examination]

27.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(3)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-97770

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H03H 17/02

識別記号

庁内整理番号

FI

技術表示箇所

A 7037-5J

審査請求 未請求 請求項の数3(全11頁)

(21)出願番号 特願平4-269228

(22)出願日 平成4年(1992)9月11日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 植木 正明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

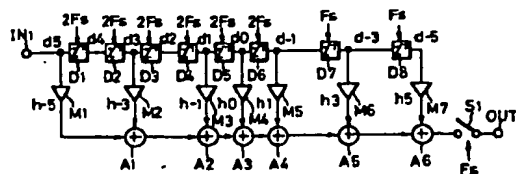
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 ダウンサンプリングデジタルフィルタ

(57)【要約】

【目的】 サンプリング周波数が mF_s である入力データをフィルタリングしてサンプリング周波数 F_s のデータとして出力するダウンサンプリングデジタルフィルタにおいて、構成を簡単化する。

【構成】 フィルタ特性をナイキスト型とする。フィルタ特性をナイキスト型とすることにより、係数が「0」となる部分の積和回路を省略するとともに、遅延回路を省略して、回路規模を削減する。



【特許請求の範囲】

【請求項1】 サンプリング周波数が mF_s である入力データをフィルタリングしてサンプリング周波数 F_s のデータとして出力するダウンサンプリングデジタルフィルタにおいて、

フィルタ特性をナイキスト型としたことを特徴とするダウンサンプリングデジタルフィルタ。

【請求項2】 サンプリング周波数が mF_s である入力データをフィルタリングして周波数 F_s のサンプリング周波数のデータとして出力するデジタルフィルタにお

いて、
フィルタ特性は、ナイキスト型の特性とされており、
入力データを周波数 mF_s で切り換えて m 本の信号ラインに順に振り分け、

上記ナイキスト型の特性としたことにより係数「0」となるタップ出力を除いてその段間からタップ出力が得られるように上記各信号ラインに周波数 F_s で動作する遅延素子の縦続接続を設け、

上記各信号ラインの各タップの出力に上記ナイキスト型の特性となる所定の係数を乗算し、

上記各信号ラインの各タップ出力を累積し、

サンプリング周波数 F_s のデータを得るようにしたダウンサンプリングデジタルフィルタ。

【請求項3】 サンプリング周波数が $2F_s$ である入力データをフィルタリングして周波数 F_s のサンプリング周波数のデータとして出力するデジタルフィルタにおいて、

フィルタ特性は、 $(2n+1)$ 次のナイキスト型の特性とされており、

$(2n+1)$ 次タップ出力を、入力側から $(n+1)$ 段の周波数 $2F_s$ で動作する遅延素子と、それより後段の周波数 F_s で動作する $[(n-1)/2]$ 段の遅延素子をとの縦続接続から取り出し、

上記遅延素子の段間の各タップの出力に、 $(2n+1)$ 次のナイキスト型の特性となる所定の係数を乗算し、

上記各タップの乗算出力を累積し、

上記累積出力を周波数 F_s で間引き、

サンプリング周波数 F_s のデータを得るようにしたダウンサンプリングデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、アナログオーディオ信号をデジタルオーディオ信号に変換する際に用いて好適なデジタルフィルタに関する。

【0002】

【従来の技術】 アナログオーディオ信号をデジタルオーディオ信号に変換する場合、サンプリング周波数 F_s の $1/2$ 以上の帯域では折り返し歪みが発生するので、折り返し歪みの影響を受けないように、アナログオーディオ信号の帯域を制限する必要がある。そのためには、

急峻で、群遅延歪みの少ないローパスフィルタが要求される。アナログローパスフィルタでそのような急峻で群遅延歪みの少ないフィルタを実現することは困難であり、また、急峻な特性をアナログフィルタで実現すると、回路規模が増大する。

【0003】 そこで、アナログローパスフィルタを簡素化し、群遅延歪みを少なくするために、サンプリング周波数を上げてA/D変換し、このA/D変換出力に対してローパス特性のフィルタリングをし、このフィルタリングされたデジタルオーディオ信号を間引いて出力して、所望のサンプリング周波数のデータを生成することが行われている。

【0004】 つまり、図8は、そのようなA/D変換システムの一例である。図8において、入力端子101にアナログオーディオ信号が供給される。このアナログオーディオ信号がアナログローパスフィルタ102に供給される。アナログローパスフィルタ102により、帯域制限がなされる。アナログローパス102の出力がA/Dコンバータ103に供給される。

【0005】 A/Dコンバータ103は、本来のサンプリング周波数 F_s （例えば44.1kHz）の2倍の周波数 $2F_s$ （例えば88.2kHz）で、入力オーディオ信号をA/D変換する。このA/Dコンバータ103の出力がダウンサンプリングデジタルフィルタ104に供給される。ダウンサンプリングデジタルフィルタ104により、帯域制限がなされると共に、このフィルタリングされたデータが $1/2$ に間引かれる。これにより、サンプリング周波数 F_s のデジタルオーディオ信号が出力端子105から出力される。

【0006】 図9は、ダウンサンプリングデジタルフィルタ104の特性を説明するものである。図9において、横軸は周波数、縦軸は振幅レベルである。A/Dコンバータ103は、周波数 $2F_s$ でA/D変換をしているので、周波数 F_s を中心として折り返しが生じる。アナログローパスフィルタ102は、例えば、図9におけるG1で示すような特性を有している。このアナログローパスフィルタ102により、20kHz以上の成分が折り返し歪みの影響を受けないように、入力アナログオーディオ信号の帯域が制限される。

【0007】 ダウンサンプリングデジタルフィルタ104は、この周波数 $2F_s$ のデータを周波数 F_s のデータに変換する。これと共に、ダウンサンプリングデジタルフィルタ104は、サンプリング周波数を F_s とすると、周波数 $F_s/2$ を中心として折り返しが生じるので、20kHz以上の成分が折り返し歪みの影響を受けないように、帯域制限を行う。ダウンサンプリングデジタルフィルタ104は、例えば、図9におけるG2で示すような特性を有している。

【0008】 入力アナログオーディオ信号を周波数 F_s で直接A/D変換するためには、アナログローパスフィ

ルタを急峻な特性にしなければならないが、このようにサンプリング周波数 $2F_s$ に上げて A/D 変換すると、そのような急峻な特性が要求されなくなる。

【0009】図10は、周波数 $2F_s$ で A/D 変換したオーディオデータを帯域制限して周波数 F_s のオーディオデータを出力する従来のダウンサンプリングデジタルフィルタの一例である。

【0010】図10において、入力端子 IN51 からのデジタルオーディオデータは、複数段連続接続された遅延回路 D101~D110 に供給される。遅延回路 D101~D110 は、周波数 $2F_s$ で動作している。入力端子 IN51 及び遅延回路 D101~D110 の段間の出力 d_5 、 d_4 、 d_3 、…が係数 h_{-5} 、 h_{-4} 、 h_{-3} 、…の乗算器 M101~M111 に夫々供給される。

【0011】乗算器 M101 の出力が加算器 A101 に供給される。乗算器 M102 の出力が加算器 A101 に供給される。加算器 A101 の出力が加算器 A102 に供給される。乗算器 M103 の出力が加算器 A102 に供給される。加算器 A102 の出力が加算器 A103 に供給される。乗算器 M104 の出力が加算器 A103 に供給される。加算器 A103 の出力が加算器 A104 に供給される。乗算器 M105 の出力が加算器 A104 に供給される。加算器 A104 の出力が加算器 A105 に供給される。乗算器 M106 の出力が加算器 A105 に供給される。加算器 A105 の出力が加算器 A106 に供給される。乗算器 M107 の出力が加算器 A106 に供給される。加算器 A106 の出力が加算器 A107 に供給される。乗算器 M108 の出力が加算器 A107 に供給される。加算器 A107 の出力が加算器 A108 に供給される。乗算器 M109 の出力が加算器 A108 に供給される。加算器 A108 の出力が加算器 A109 に供給される。乗算器 M110 の出力が加算器 A109 に供給される。加算器 A109 の出力が加算器 A110 に供給される。乗算器 M111 の出力が加算器 A110 に供給される。

【0012】加算器 A110 の出力がスイッチ回路 S51 を介して出力端子 OUT51 から出力される。スイッチ回路 S51 は、周波数 F_s で出力信号を間引くものである。

【0013】このようなフィルタにより、各タップ出力に図11に示すような係数が与えられ、これらが累積される。これにより、入力データに対して、図12に示すような特性が与えられる。そして、スイッチ回路 S51 でこのデータを $1/2$ に間引くことにより、図13に示すようなサンプリング周波数 F_s のデータが得られる。

【0014】上述の説明では、アナログオーディオ信号を周波数 $2F_s$ で A/D 変換したが、更に高い周波数でアナログオーディオ信号を A/D 変換すれば、アナログローパスフィルタの構成を更に簡単化できる。例えば、アナログオーディオ信号を周波数 $4F_s$ で A/D 変換す

ると、図14に示すように、周波数 $2F_s$ を中心として折り返しが発生する。このため、アナログローパスフィルタの特性を更に緩やかなものにできる。

【0015】図15は、周波数 $4F_s$ で A/D 変換したオーディオデータを帯域制限して周波数 F_s のオーディオデータを出力する従来のダウンサンプリングデジタルフィルタの一例である。

【0016】図15において、入力端子 IN61 からのデジタルオーディオデータは、複数段連続接続された遅延回路 D151~D170 に供給される。遅延回路 D151~D170 は、周波数 $4F_s$ で動作している。入力端子 IN61 及び遅延回路 D151~D170 の段間の出力 d_{10} 、 d_9 、 d_8 、…が係数 h_{-10} 、 h_{-9} 、 h_{-8} 、…の乗算器 M151~M171 に供給される。

【0017】乗算回路 M151~M171 の出力が加算器 A151~A170 により累積される。加算器 A170 の出力がスイッチ回路 S61 を介して、出力端子 OUT61 から出力される。スイッチ回路 S61 は、周波数 F_s で出力信号を間引くものである。

【0018】
【発明が解決しようとする課題】従来のダウンサンプリングデジタルフィルタでは、図10及び図15で示したように、フィルタの次数分のタップ出力を遅延回路の段間から取り出し、これにフィルタ係数を乗算し、し、これらの累積するものである。このため、フィルタの次数分のタップ出力を蓄える RAM 及びフィルタ係数を蓄える ROM の容量が大きくなり、ハードウェア規模が増大するという問題がある。RAM の容量は、D/A 変換システムに使用される同程度のフィルタ特性を持つオーバーサンプリングデジタルフィルタに比べて2倍必要になる。ハードウェア規模が大きくなると、小型、軽量化の障害となると共に、消費電力が増大する。

【0019】したがって、この発明の目的は、消費電力の低減を図ることができるダウンサンプリングデジタルフィルタを提供することにある。

【0020】

【課題を解決するための手段】この発明は、サンプリング周波数が mF_s である入力データをフィルタリングしてサンプリング周波数 F_s のデータとして出力するダウンサンプリングデジタルフィルタにおいて、フィルタ特性をナイキスト型としたことを特徴とするダウンサンプリングデジタルフィルタである。

【0021】

【作用】ナイキスト型の特性のフィルタ係数とすることにより、係数が「0」となる積和回路を削減することができる。また、係数が「0」のタップの出力を導出する必要がなくなり、その分、タップ出力を得るための遅延回路の構成を簡単化できる。

【0022】

【実施例】以下、この発明の一実施例について図面を参

照して説明する。図1は、この発明の第1の実施例を示すものである。この実施例は、周波数 $2F_s$ (F_s : サンプル周波数) のA/D変換出力から、サンプル周波数 F_s の出力データを得るためのダウンサンプリングデジタルフィルタである。そして、この実施例では、ナイキストフィルタ、すなわち、 $F_s/2$ の周波数のところに振幅レベルが半値となる点を有し、その点に対して通過帯域と阻止帯域とが点対称となるような特性とされている。

【0023】図1において、入力端子IN1には、A/Dコンバータ(図示せず)において周波数 $2F_s$ でデジタル化されたデータが供給される。この $2F_s$ の伝送レートの入力データは、入力端子IN1から周波数 $2F_s$ で動作する遅延回路D1~D6の縦続接続、及び周波数 F_s で動作する遅延回路D7及びD8の縦続接続に供給される。

【0024】入力端子IN1の出力 d_5 が係数 h_{-5} の乗算器M1に供給される。遅延回路D2とD3の段間の出力 d_3 が係数 h_{-3} の乗算器M2に供給される。遅延回路D4とD5との段間の出力 d_1 が係数 h_{-1} の乗算器M3に供給される。遅延回路D5とD6との段間の出力 d_0 が係数 h_0 の乗算器M4に供給される。遅延回路D6とD7との段間の出力 d_{-1} が係数 h_1 の乗算器M5に供給される。遅延回路D7とD8との段間の出力 d_{-3} が係数 h_3 の乗算器M6に供給される。遅延回路D8の出力 d_{-5} が係数 h_5 の乗算器M7に供給される。

【0025】乗算器M1の出力が加算器A1に供給される。乗算器M2の出力が加算器A1に供給される。加算器A1の出力が加算器A2に供給される。乗算器M3の出力が加算器A2に供給される。加算器A2の出力が加算器A3に供給される。乗算器M4の出力が加算器A3に供給される。加算器A3の出力が加算器A4に供給される。乗算器M5の出力が加算器A4に供給される。加算器A4の出力が加算器A5に供給される。乗算器M6の出力が加算器A5に供給される。加算器A5の出力が加算器A6に供給される。乗算器M7の出力が加算器A6に供給される。加算器A6の出力は、周波数 F_s で動作するスイッチ回路S1を介して、出力端子OUT1から出力される。出力端子OUT1からは、周波数 F_s のレートのデータが得られる。

【0026】この実施例では、上述のように、ナイキストフィルタとされている。このようなフィルタは、図2に示すように、周波数 $F_s/2$ のところに振幅レベルが半値となる点Pを有し、その点Pに対して通過帯域と阻止帯域とが点対称となるような特性とされている。図3は、このようなフィルタのインパルス応答を示すものである。図3に示すように、このようなフィルタの応答は、サンプリング周期間隔でゼロ交差する。したがって、このようなフィルタでは、係数 h_{-4} 、 h_{-2} 、 h_2 、 h_4 に相当する係数が「0」になる。フィルタ係数が

「0」のところでは、積和演算は不要になるので、図1に示すような構成で、このようなフィルタを実現できる。

【0027】すなわち、図1において、遅延回路D1とD2との間、遅延回路D3とD4との間のタップ出力 d_4 、 d_2 に対するフィルタ係数は「0」になるので、その積和回路には削減される。タップ出力 d_{-4} 、 d_{-2} を出力する部分はフィルタ係数が「0」になるのでその積和回路を削減できると共に、 d_{-4} 、 d_{-2} のタップ出力が不要なので、周波数 $2F_s$ で動作する遅延回路の2段縦続接続を周波数 F_s で動作する1段の遅延回路D7、D8に置き換えられる。

【0028】図1に示す構成では、従来のダウンサンプリングデジタルフィルタに比べて、大幅な回路規模の削減が図れる。すなわち、データ d_2 及び d_4 を出力させるための遅延回路(RAMで構成される)、フィルタ係数 h_{-4} 、 h_{-2} 、 h_2 、 h_4 を蓄えるROM、積和演算 $h_{-4} \cdot d_4$ 、 $h_{-2} \cdot d_2$ 、 $h_2 \cdot d_{-2}$ 、 $h_4 \cdot d_{-4}$ を行うための回路が不要になる。

【0029】図4は、この発明の第2の実施例を示すものである。この実施例は、前述の実施例と同様に、係数 h_{-4} 、 h_{-2} 、 h_2 、 h_4 に相当する係数が「0」になるナイキストフィルタを実現するものである。

【0030】図4において、入力端子IN11には、周波数 $2F_s$ の伝送レートのデータが供給される。この周波数 $2F_s$ の伝送レートのデータが入力端子IN11からスイッチ回路S11に供給される。スイッチ回路S11は、周波数 F_s でA側端子とB側端子とに交互に切り換えられる。

【0031】スイッチ回路S11のA側端子の出力は、遅延回路D11、D12、D13の縦続接続を介されて、乗算器M14に供給される。スイッチ回路S11のB側端子の出力は、遅延回路D14、D15、D16、D17、D18の縦続接続を介される。遅延回路D11~D13、及びD14~D18は、全て周波数 F_s のレートで動作している。

【0032】スイッチ回路S11はA側端子とB側端子とに交互に切り換えられ、遅延回路D11~D13及びD14~D18は、全て周波数 F_s のレートで動作しているので、遅延回路D14~D18の段間からは、奇数番のサンプルが出力される。遅延回路D13からは d_0 が出力される。

【0033】スイッチ回路S11のB側の出力 d_5 が係数 h_{-5} の乗算器M11に供給される。遅延回路D14とD15との段間の出力 d_3 が係数 h_{-3} の乗算器M12に供給される。遅延回路D15とD16との段間の出力 d_1 が係数 h_{-1} の乗算器M13に供給される。遅延回路D16とD17との段間の出力 d_{-1} が係数 h_1 の乗算器M15に供給される。遅延回路D17とD18との段間の出力 d_{-3} が係数 h_3 の乗算器M16に供給される。

7

遅延回路D18の出力 d_{-5} が係数 h_5 の乗算器M17に供給される。

【0034】乗算器M11の出力が加算器A11に供給される。乗算器M12の出力が加算器A11に供給される。加算器A11の出力が加算器A12に供給される。乗算器M13の出力が加算器A12に供給される。加算器A12の出力が加算器A13に供給される。乗算器M14の出力が加算器A13に供給される。加算器A13の出力が加算器A14に供給される。乗算器M15の出力が加算器A14に供給される。加算器A14の出力が加算器A15に供給される。乗算器M16の出力が加算器A15に供給される。加算器A15の出力が加算器A16に供給される。乗算器M17の出力が加算器A16に供給される。加算器A16の出力が出力端子OUT11から出力される。

【0035】この実施例も、上述の第1の実施例と同様に、従来に比べて回路規模の削減を図ることができる。すなわち、係数 h_{-4} 、 h_{-2} 、 h_2 、 h_4 が「0」になるので、遅延回路D11、D12、D13の段間のタップ出力に対する積和回路は不要になると共に、 d_{-2} 、 d_{-4} のタップ出力を導出する必要が無いので、スイッチ回路S11のB側の遅延回路が3段の遅延回路D11、D12、D13で良くなる。

【0036】なお、上述の例では、A/Dコンバータで周波数 $2F_s$ のサンプリングレートのデータを入力し、それを F_s のサンプリングレートで出力するようにしているが、A/Dコンバータで周波数 $4F_s$ のサンプリングレートのデータを入力し、それを周波数 F_s のサンプリングレートで出力するようにすることもできる。

【0037】図5はこの発明の第3の実施例を示し、この実施例では、周波数 $4F_s$ のサンプリングレートのデータを入力し、周波数 F_s のサンプリングレートで出力するようにしている。図5において、入力端子IN21には、周波数 $4F_s$ でデジタル化されたデータが供給される。この $4F_s$ の伝送レートの入力データは、入力端子IN21から周波数 $4F_s$ で動作する遅延回路D21～D37の縦続接続及び周波数 F_s で動作する遅延回路D38～D40の縦続接続に供給される。

【0038】入力端子IN21の出力 d_{10} が係数 h_{-10} の乗算器M21に供給される。遅延回路D21とD22の段間の出力 d_9 が係数 h_{-9} の乗算器M22に供給される。遅延回路D23とD24の段間の出力 d_7 が係数 h_{-7} の乗算器M23に供給される。遅延回路D24とD25の段間の出力 d_6 が係数 h_{-6} の乗算器M24に供給される。遅延回路D25とD26の段間の出力 d_5 が係数 h_{-5} の乗算器M25に供給される。遅延回路D27とD28の段間の出力 d_3 が係数 h_{-3} の乗算器M26に供給される。遅延回路D28とD29の段間の出力 d_2 が係数 h_{-2} の乗算器M27に供給される。遅延回路D29とD30の段間の出力 d_1 が係数 h_{-1} の乗算器M28に供

8

給される。遅延回路D30とD31の段間の出力 d_0 が係数 h_{-0} の乗算器M29に供給される。遅延回路D31とD32の段間の出力 d_{-1} が係数 h_1 の乗算器M30に供給される。遅延回路D32とD33の段間の出力 d_{-2} が係数 h_2 の乗算器M31に供給される。遅延回路D33とD34の段間の出力 d_{-3} が係数 h_3 の乗算器M32に供給される。遅延回路D35とD36の段間の出力 d_{-5} が係数 h_5 の乗算器M33に供給される。遅延回路D36とD37の段間の出力 d_{-6} が係数 h_6 の乗算器M34に供給される。遅延回路D37とD38の段間の出力 d_{-7} が係数 h_7 の乗算器M35に供給される。遅延回路D39とD40の段間の出力 d_{-9} が係数 h_9 の乗算器M36に供給される。遅延回路D40の出力 d_{-10} が係数 h_{10} の乗算器M37に供給される。

【0039】乗算器M21の出力が加算器A21に供給される。乗算器M22の出力が加算器A21に供給される。加算器A21の出力が加算器A22に供給される。乗算器M23の出力が加算器A22に供給される。加算器A22の出力が加算器A23に供給される。乗算器M24の出力が加算器A23に供給される。加算器A23の出力が加算器A24に供給される。乗算器M25の出力が加算器A24に供給される。加算器A24の出力が加算器A25に供給される。乗算器M26の出力が加算器A25に供給される。加算器A25の出力が加算器A26に供給される。乗算器M27の出力が加算器A26に供給される。加算器A26の出力が加算器A27に供給される。乗算器M28の出力が加算器A27に供給される。加算器A27の出力が加算器A28に供給される。乗算器M29の出力が加算器A28に供給される。加算器A28の出力が加算器A29に供給される。乗算器M30の出力が加算器A29に供給される。加算器A29の出力が加算器A30に供給される。乗算器M31の出力が加算器A30に供給される。加算器A30の出力が加算器A31に供給される。乗算器M32の出力が加算器A31に供給される。加算器A31の出力が加算器A32に供給される。乗算器M33の出力が加算器A32に供給される。加算器A32の出力が加算器A33に供給される。乗算器M34の出力が加算器A33に供給される。加算器A33の出力が加算器A34に供給される。乗算器M35の出力が加算器A34に供給される。加算器A34の出力が加算器A35に供給される。乗算器M36の出力が加算器A35に供給される。加算器A35の出力が加算器A36に供給される。乗算器M37の出力が加算器A36に供給される。加算器A36の出力がスイッチ回路S21を介して、出力端子OUT21から出力される。

【0040】この実施例では、ナイキストフィルタとされている。このようなフィルタのインパルス応答は、図6に示すように、サンプリング周期間隔でゼロ交差する。したがって、このようなフィルタでは、係数 h_{-8} 、

h_{-4} 、 h_4 、 h_8 に相当する係数が「0」になる。フィルタ係数が「0」のところでは、積和演算は不要になるので、図1に示すように、タップ出力 d_8 、 d_4 、 d_{-4} 、 d_{-8} に対する積和回路を削減できる。

【0041】図7は、この発明の第4の実施例を示すものである。この実施例は、前述の実施例と同様に、係数 h_{-8} 、 h_{-4} 、 h_4 、 h_8 に相当する係数が「0」になるナイキストフィルタを実現するものである。

【0042】図7において、入力端子IN31には、周波数 $4F_s$ の伝送レートのデータが供給される。この周波数 $4F_s$ の伝送レートのデータが入力端子IN31からスイッチ回路S31に供給される。スイッチ回路S31は、周波数 F_s で順に切り換えられる。

【0043】スイッチ回路IN31のA側端子の出力は、遅延回路D51、D52、D53の縦続接続を介して、乗算器M59に供給される。スイッチ回路SW31のB側端子の出力は、遅延回路D54～D58の縦続接続に供給される。スイッチ回路SW31のC側端子の出力は、遅延回路D59～D63の縦続接続に供給される。スイッチ回路SW31のD側端子の出力は、遅延回路D64～D68の縦続接続に供給される。

【0044】スイッチ回路S31は、周波数 F_s で順に切り換えられるので、遅延回路D51、D52、D53からは d_8 、 d_4 、 d_0 が得られ、遅延回路D54、D55、D56、D57、D58からは d_6 、 d_2 、 d_{-2} 、 d_{-6} 、 d_{-10} が得られる。遅延回路D64、D65、D66、D67、D68からは、 d_7 、 d_3 、 d_{-1} 、 d_{-5} 、 d_{-9} が得られる。遅延回路D53からは d_0 が得られる。

【0045】遅延回路D54、D55、D56、D57、D58の出力が乗算器M52、M55、M58、M62、M65に供給される。スイッチ回路S31のC側端子の出力が乗算器M51に供給され、遅延回路D59、D60、D61、D62、D63の出力が乗算器M54、M57、M61、M64、M67に供給される。遅延回路D64、D65、D66、D67、D68の出力が乗算器M53、M56、M60、M63、M66に供給される。

【0046】乗算器M51の出力が加算器A51に供給される。乗算器M52の出力が加算器A51に供給される。加算器A51の出力が加算器A52に供給される。乗算器M53の出力が加算器A52に供給される。加算器A52の出力が加算器A53に供給される。乗算器M54の出力が加算器A53に供給される。加算器A53の出力が加算器A54に供給される。乗算器M55の出力が加算器A54に供給される。加算器A54の出力が加算器A55に供給される。乗算器M56の出力が加算

器A55に供給される。加算器A55の出力が加算器A56に供給される。乗算器M57の出力が加算器A56に供給される。加算器A56の出力が加算器A57に供給される。乗算器M58の出力が加算器A57に供給される。加算器A57の出力が加算器A58に供給される。乗算器M59の出力が加算器A58に供給される。加算器A58の出力が加算器A59に供給される。乗算器M60の出力が加算器A59に供給される。加算器A59の出力が加算器A60に供給される。乗算器M61の出力が加算器A60に供給される。加算器A60の出力が加算器A61に供給される。乗算器M62の出力が加算器A61に供給される。加算器A61の出力が加算器A62に供給される。乗算器M63の出力が加算器A62に供給される。加算器A62の出力が加算器A63に供給される。乗算器M64の出力が加算器A63に供給される。加算器A63の出力が加算器A64に供給される。乗算器M65の出力が加算器A64に供給される。加算器A64の出力が加算器A65に供給される。乗算器M66の出力が加算器A65に供給される。加算器A65の出力が加算器A66に供給される。乗算器M67の出力が加算器A66に供給される。加算器A66の出力が出力端子OUT31から出力される。

【0047】この実施例では、タップ出力 d_8 、 d_4 、 d_{-4} 、 d_{-8} に対する係数が「0」になるので、タップ出力 d_8 、 d_4 、 d_{-4} 、 d_{-8} に対する積和回路を削減できる。また、タップ出力 d_{-4} 、 d_{-8} を出力させるための遅延回路(破線で示す)も不要になる。

【0048】

【発明の効果】この発明によれば、ナイキスト型の特性のフィルタ係数とすることにより、係数が「0」となる積和回路を削減することができる。また、係数が「0」とタップの出力を導出する必要がなくなり、その分、タップ出力を得るための遅延回路の構成を簡単化できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例のブロック図である。

【図2】この発明の第1の実施例の説明に用いる周波数特性図である。

【図3】この発明の第1の実施例の説明に用いるインパルス応答図である。

【図4】この発明の第2の実施例のブロック図である。

【図5】この発明の第3の実施例のブロック図である。

【図6】この発明の第3の実施例の説明に用いるブロック図である。

【図7】この発明の第4の実施例の説明に用いるブロック図である。

【図8】A/D変換システムの一例のブロック図である。

【図9】従来のダウンサンプリングデジタルフィルタの説明に用いる周波数特性図である。

【図10】従来のダウンサンプリングデジタルフィル

11

タの一例のブロック図である。

【図11】従来のダウンサンプリングデジタルフィルタの一例の説明に用いるインパルス応答図である。

【図12】A/D変換システムの一例の説明に用いる波形図である。

【図13】A/D変換システムの一例の説明に用いる波形図である。

【図14】従来のダウンサンプリングデジタルフィルタの他の例の説明に用いる周波数特性図である。

【図15】従来のダウンサンプリングデジタルフィルタの他の例のブロック図である。

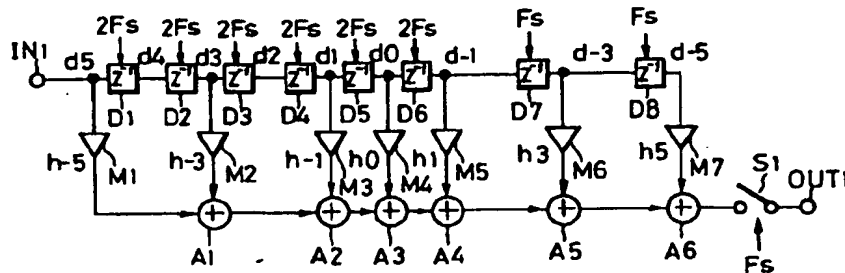
12

【図16】従来のダウンサンプリングデジタルフィルタの他の例の説明に用いるインパルス応答図である。

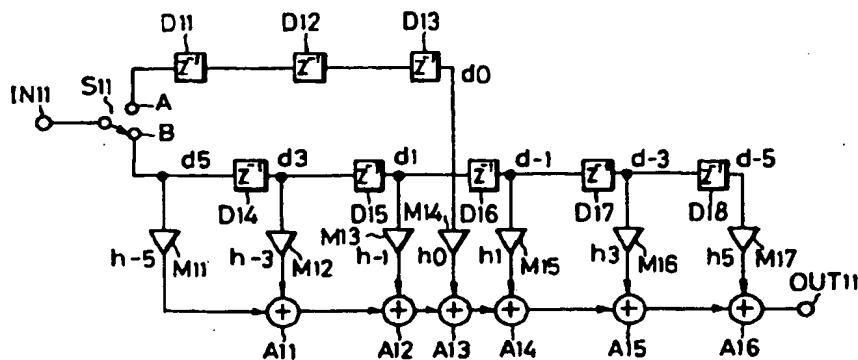
【符号の説明】

IN1, IN11, IN21, IN31 入力端子
D1~D8, D11~D18, D21~D40, D51~D68 遅延回路
M1~M7, M11~M17, M21~M37, M51~M67 乗算器
A1~A6, A11~A16, A51~A66 加算器
OUT1, OUT11, OUT21, OUT31 出力端子

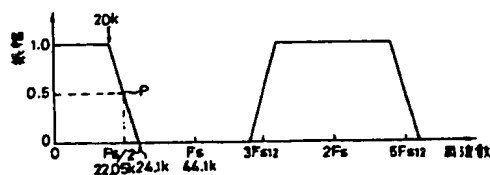
【図1】



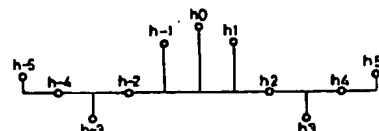
【図4】



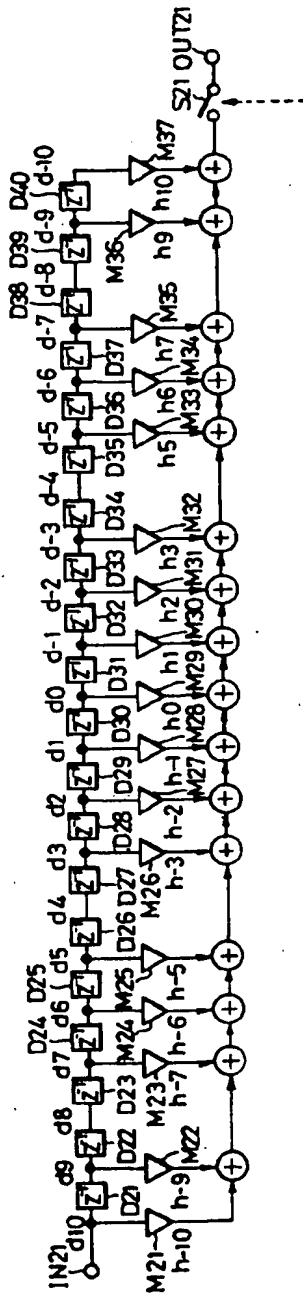
【図2】



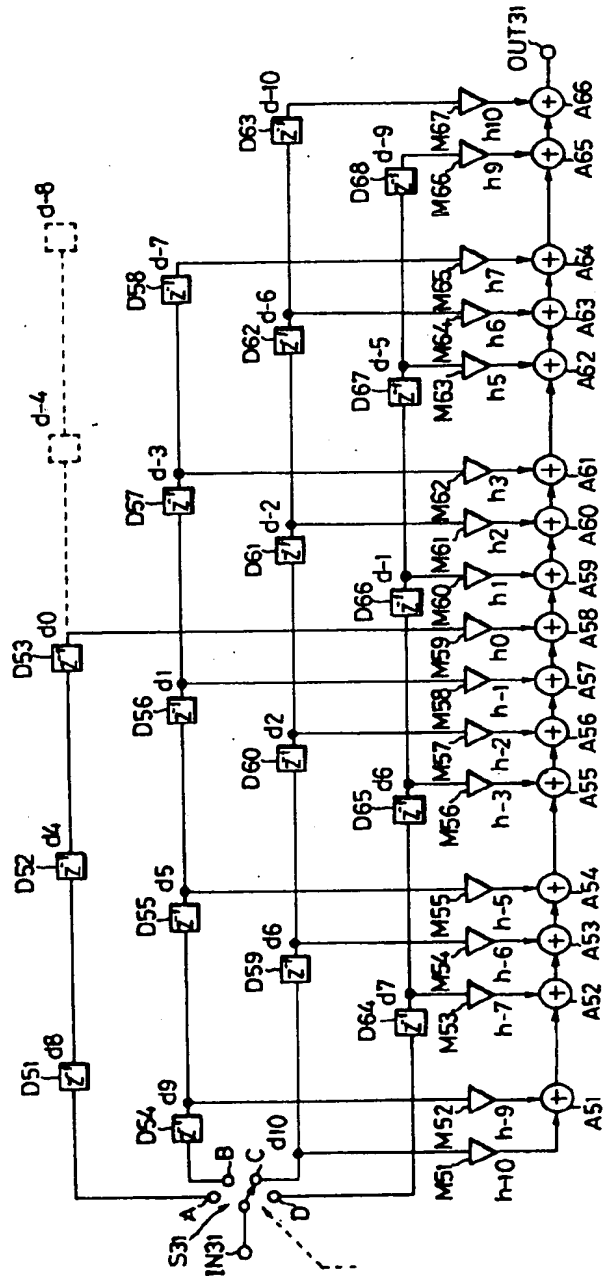
【図3】



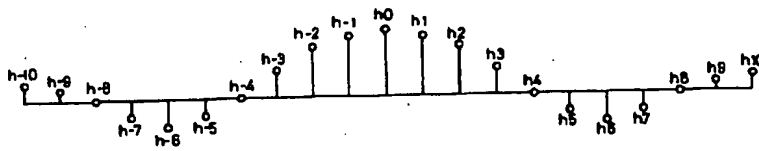
【図5】



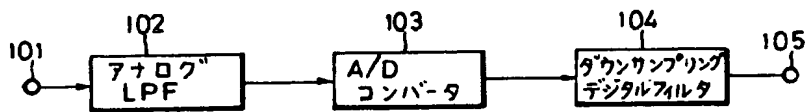
【図7】



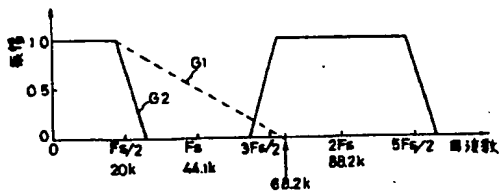
【図6】



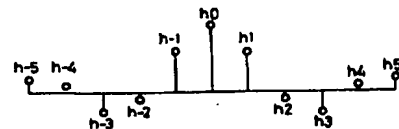
【図8】



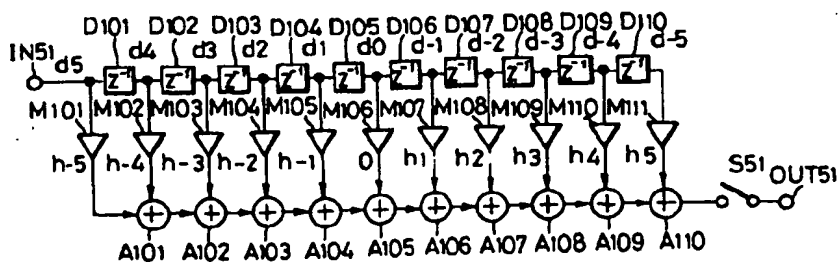
【図9】



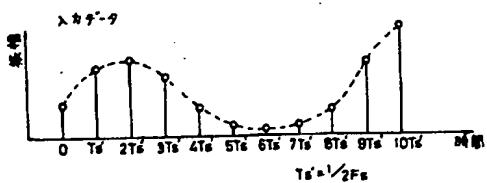
【図11】



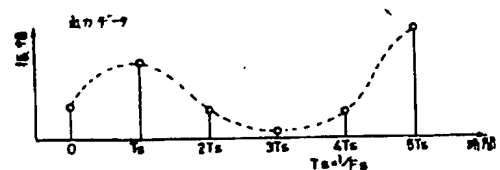
【図10】



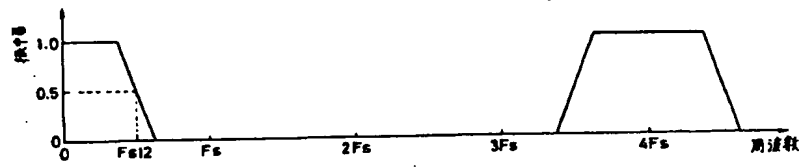
【図12】



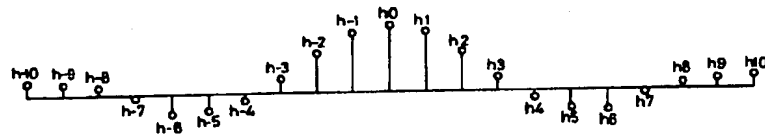
【図13】



【図14】



【図16】



【図15】

